

＊課題番号 : F-12-FA-0004  
 ＊支援課題名 (日本語) : SOI 基板上グラフェントランジスタ  
 ＊Program Title (in English) : Graphene-FETs on SOI(Si-on-Insulator) substrates  
 ＊利用者名 (日本語) : 挾間 健太, 中菌 知也  
 ＊Username (in English) : Kenta Hasama, Tomoya Nakazono  
 ＊所属名 (日本語) : 九州工業大学  
 ＊Affiliation (in English) : Kyushu Institute of Technology

※概要 (Summary) :

現在、スケーリングによる Si-CMOS の高性能化に  
 限界が近づいている。そこで Si よりも格段に移動度  
 の高いグラフェンをチャネル材料として用いること  
 による高性能化に期待が高まっている。我々はこれま  
 でのグラフェン成長法における様々な問題を解決す  
 るために、新たなグラフェン成長法を開発した。実験  
 ではこの基板を用いてバックゲート型電界効果トラ  
 ンジスタを作製した。

※実験 (Experimental) :

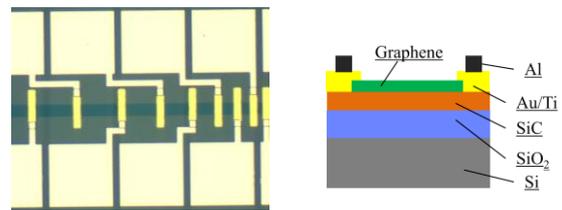
実験工程を以下の表に示す。

No	プロセス	内容	使用装置等
①	フォトリソグラフィ	パターン形成	マスクアライナー
			スピコート
			ホットプレート
②	RIE	グラフェン領域決定	RIE
③	レジスト剥離	レジスト剥離	超音波装置
④	フォトリソグラフィ	パターン形成	上記同様
⑤	RIE	アッシング	RIE
⑥	スパッタ	Ti⇒Au 堆積	(※戸畑)
⑦	リフトオフ	レジスト剥離	超音波装置
			ウォーターバス
⑧	フォトリソグラフィ	パターン形成	上記同様
⑨	スパッタ	Al 堆積	(※戸畑)
⑩	リフトオフ	レジスト剥離	上記同様

超純水装置での基板洗浄および膜厚測定器での外観確認は適宜行った。

※結果と考察 (Results and Discussion) :

完成後の顕微鏡像および概要図を以下に示す。



デバイス完成後、コンタクト抵抗測定用の素子(TLM)および FET 測定用の素子が確認された。

※その他・特記事項 (Others) :

・今後の課題

リフトオフ後のアッシングによってコンタクト抵抗が低減することが分かったが、さらなる低抵抗化が必要である。今後はさらにアッシングの条件をパラメータとし、低抵抗化を図る。

共同研究者等 (Coauthor) :

なし

論文・学会発表

(Publication/Presentation) :

なし

関連特許 (Patent) :

なし