

課題番号 : F-14-FA-0006
 利用形態 : 機器利用
 利用課題名(日本語) : パワーSupply on Chip 用多層積層基板の開発
 Program Title (English) : Development of multi layer stacked substrate for power supply on chip
 利用者名(日本語) : 中川謙太郎, 松本聡
 Username (English) : K. Nakagawa, S. Matumoto
 所属名(日本語) : 九州工業大学工学研究院電気電子工学研究系
 Affiliation (English) : Department of Mechanical Engineering, Faculty of Engineering,
 Kyushu Institute of Technology

1. 概要(Summary)

LSI の消費電力低減に向け、低電源電圧化[1]が進められており、消費電力が大電流化している。これにともない LSI に電力を供給する Point of Load(POL)の重要性が高まっている。配線インピーダンスを低減するため LSI の直近に POL を配置することが望まれており、POL の小型化が重要視されている。POL の究極の小型化として、LSI、パワーデバイス、パワーデバイスを制御する制御回路、インダクタやコンデンサなどの受動部品をワンチップ搭載した Power Supply on Chip(power SoC, Fig.1)が注目を集めている[2,3]。電源の小型化に対して、インダクタやコンデンサの受動部品を小型化することが最も有効であり、スイッチング周波数の高周波化が図られてきた。スイッチング周波数の高周波化に対して、寄生容量の小さい Silicon on Insulator(SOI)技術注目を集めているが、埋め込み絶縁層として用いる酸化膜の熱伝導率が低いため発熱が問題となる。これに対して我々は、SOI 基板の埋め込み絶縁層として熱伝導率の小さい酸化膜に替え、熱伝導率の大きいダイヤモンド膜を用いた SOD(Silicon on Diamond)構造の基板(Fig.2)の効果をシミュレーションにより明らかにした[4]。本研究では、デバイス反転型の Si ウエハー直接貼り合わせ法[5]による SOD 基板を実現する一環として、SOD 基板に適したシャロウトレンチ(STI)プロセスを開発するとともに SOD 基板の効果を明らかにする。

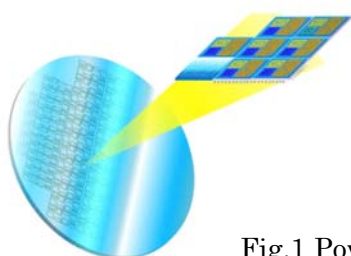


Fig.1 Power SoC.

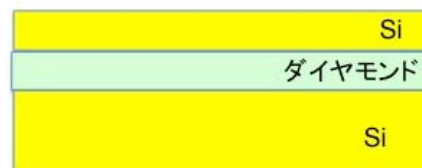


Fig.2 Silicon on Diamond [2]

2. 実験(Experimental)

＝使用した主な装置＝

イオン注入装置、酸化炉、拡散炉、リアクティブイオンエッチャー、プラズマ CVD、コータ/ディベロッパー、ステッパー

＝実験方法＝

共同研究開発センターの製造関連装置を用いて SOD 基板を実現する一環として STI を実現するプロセス技術の開発を進めた。利用した製造関連装置は、イオン注入装置、酸化炉、拡散炉、リアクティブイオンエッチャー、プラズマ CVD、コーター/デベロッパー、ステッパー、ドラフトチャンバー、レーザーマイクロスコプである。

SOD 基板の効果はデバイスシミュレーション[6]により行った。

3. 結果と考察(Results and Discussion)

Table1 に本提案プロセスで試作した基板の STI 形成後のウエハー表面の段差の最大値と最小値を示す。使用したウエハーは2インチである。段差の最小値は 20nm である。目標どおりの平坦性が得られた。

	Minimum (nm)	Maximum (nm)
#1	20	130
#2	22	150
#3	38	190

Table1 Maximum and minimum step at wafer surface after STI process

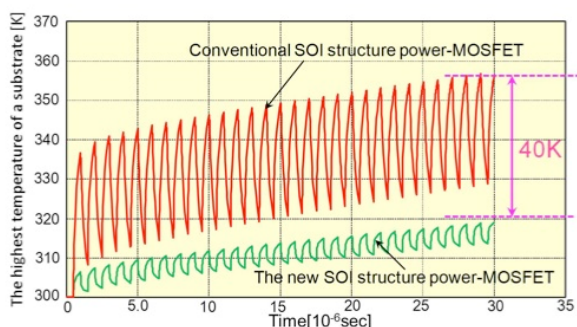


Fig.3 Comparisons of the transient temperature response of the SOI and SOD power MOSFET[4]

Fig.3 にデバイスシミュレーションにより SOD 基板と SOI 基板の過渡的な熱応答を計算した結果を示す[4]。スイッチング周波数は1MHz である。ダイヤモンド薄膜の熱伝導率は平坦性に優れたナノダイヤの 20W/K/m[7]とした。SOD 基板の採用により約 40℃低温化できる[5]。

Fig.4 に SOD 基板と SOI 基板に作製した MOSFET の損失と温度の関係を示す[6]。SOD 基板上のパワー MOSFET は SOI 基板の上のパワー MOSFET に比べて同じ損失でも低温であり、ダイヤモンドの熱伝導率が高いほど温度上昇を抑制できる[8]。

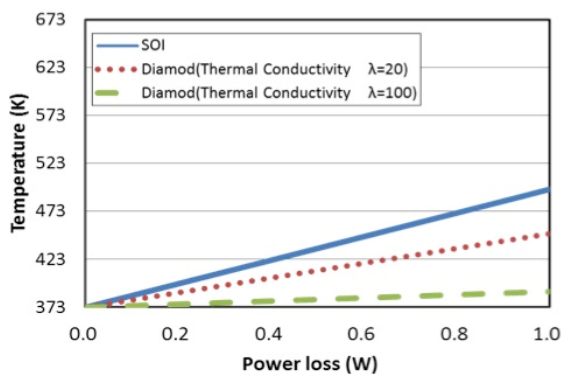


Fig.4 Dependence of temperature of active Si layer on power loss[6]

SOD 基板の実現を目的として、基板表面の平坦化が実現できる STI プロセス開発し最小表面段差 20nm を実現した。また SOD 基板の導入により、基板温度を低温化できることを明らかにした。

4. その他・特記事項 (Others)

参考文献

- [1]<http://www.itrs.net/>
- [2]<http://pwr soc2012.org>
- [3]<http://pwr soc2014.org>

- [4]K. Nakagawa, T. Kodama, S. Matsumoto, T. Yamada, M. Hasegawa, and S. Nishizawa, “Impact of Silicon on Diamond Structure for Power-Supply on Chip Applications”, Japanese Journal of Applied Physics, vol.53, No.4, 04EP16, 2014.
- [5]S. Matsumoto, T. Yachi, H. Horie, and Y. Arimoto, “Thin-film quasi-SOI power MOSFET fabricated by reversed silicon wafer direct bonding”, IEEE Trans. Electron Devices, vol.ED-45, No.1, p.105-109, 1998.
- [6]T-CAD manual, <http://www.synopsys.com/tools/tcad/Pages/default.aspx>, as of October 14, 2011.
- [7]K. Tsugawa, M. Ishihara, J. Kim, Y. Koga, and M. Hasegawa:Phys. Rev. B82, 125460,(2010)
- [8] H. Kanoya, K. Nakagawa and S. Matsumoto, “Impact of the silicon on diamond structure for high temperature switching applications”, to be Published in Japanese journal of Applied Physics, 2015.

謝辞

試作に協力していただいた共同研究開発センター、安藤秀幸様、竹内修三様、岩永修一様に感謝いたします。

本研究の一部は科研費 (基盤 B) で行われた。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。