

課題番号 : F-15-FA-0019
 利用形態 : 機器利用
 利用課題名(日本語) : パワーSoC用3次元積層基板構成法の研究
 Program Title(English) : Design consideration of a 3D stacking substrate
 利用者名(日本語) : 池田帆, 松本聡
 Username(English) : Y. Ikeda, S. Matsumoto
 所属名(日本語) : 九州工業大学工学部
 Affiliation(English) : School of Engineering, Kyushu Institute of Technology

1. 概要(Summary)

近年、電源の究極の小型であるパワーSoC(Supply on Chip)が注目を集めている。パワーSoCでは究極の小型化が達成できる反面、発熱密度の増加のため排熱技術が重要となる。本研究では、絶縁性優れ、かつ熱伝導率のダイヤモンド薄膜を絶縁層としたSOD構造を基本構造とし、アクティブデバイスを積層した3次元パワーSoCの穂熱特性をシミュレーションした結果を述べる。

2. 実験(Experimental)

【利用した主な装置】

本報告では、SOD構造を有する3DパワーSoCを試作中のため実験結果については本報告では報告しないが、試料試作のため、酸化・拡散炉、ステッパー、リアクティブイオンエッチャー、プラズマCVD装置等を使用した。

【実験方法】

シミュレーションにはSynopsys社のT-CADを用いた[1]。

3. 結果と考察(Results and Discussion)

Fig.1にシミュレーションに用いた基板構造を示す。絶縁膜としてダイヤモンドとシリコン酸化膜を用いた。

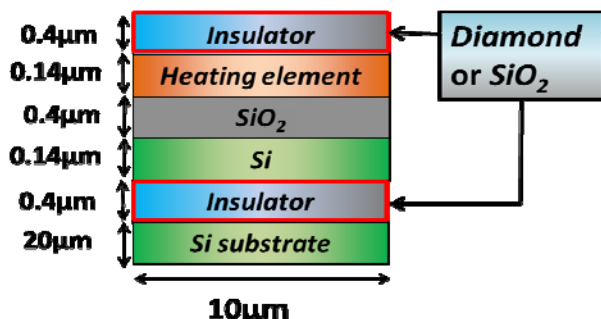


Fig.1 Structure of substrate

絶縁膜にダイヤモンドを用いた場合、酸化膜に比べて80K低下した。また、非発熱層は絶縁膜にダイヤモンドを用いた場合100℃程度温度が低い。これらの結果よりダイヤモンドを絶縁層とすることにより、効果的に排熱できる。

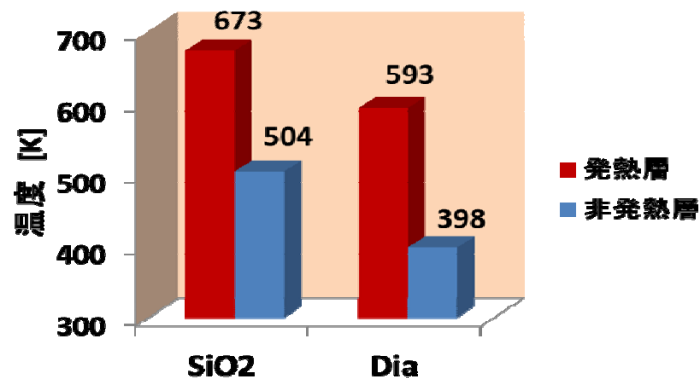


Fig.2 Temperature of SiO2 and Diamond

低温(<200℃)でのウエハー接着技術を確立し、現在シミュレーション結果を検証するため、SOD構造の試料の作製を進めている。

4. その他・特記事項(Others)

・参考文献

[1]<http://www.synopsys.com/Tools/TCAD/Pages/default.aspx>

・本研究の一部は科研費 基盤研究 B で行われたものである。

5. 論文・学会発表(Publication/Presentation)

- (1) S. Duangchan, U. Uchikawa, U. Koshikawa, A. baba, K. Nakagawa, S. Matsumoto, M. Hasagawa, and S. Nishizawa, "The Silicon on Diamond Structure by low temperature bonding technique", Proceedings of IEEE Electric Components and Technology Conference 2015 (ECTC2015), pp.187-192, 2015.
- (2) Y. Ikeda, K. Nakagawa, and S. Matsumoto, "Impact of 3D Stacking Silicon on Diamond Substrate for the ESD Protection Device", SSDM2015, PS-14-3, 2015.
- (3) S. Duangchan, U. Koshikawa, R. Shirahama, K. Oishi, A. Baba, S. Matsumoto, and .Hasagawa, "The Heat Performance Study of Nanocrystal Diamond Film Used in a Thin Film Device", SSDM2015, PS-14-4, 2015.

6. 関連特許(Patent)

なし。