

課題番号 : F-16-FA-0004
 利用形態 : 機器利用
 利用課題名(日本語) : 3次元積層パワーSoC用オンチップキャパシタの検討
 Program Title(English) : Investigation of a on chip capacitor for 3D power Supply on Chip Applications
 利用者名(日本語) : 池田裕帆、日浦健伍、小野晃太、松本聡
 Username(English) : Y.Ikeda, K.Hiura, K.Ono, S.Matsumoto
 所属名(日本語) : 九州工業大学工学府電気電子工学専攻
 Affiliation(English) : Kyushu Institute of Technology

1. 概要(Summary)

電源の研究トレンドは小型化(高パワー密度化)であり[1]、電源の究極の小型化が実現できる power supply on chip(power-SoC)[2]が注目を集めている。Power-SoC用のパワーデバイスとして高周波スイッチング特性に優れた GaN パワーデバイスと Si デバイスを積層した3次元パワーSoCを我々の研究グループは提案し[3]、その要素技術の研究を進めている[4]。本研究では、3次元 power-SoC に用いるパッシブ部品の一つであるキャパシタを取り上げ、その製造技術の検討を行った。その結果、パワーSoC用のトレンチキャパシタの製造技術確立に対して見通し得るとともに、製造上の課題を明らかにした。

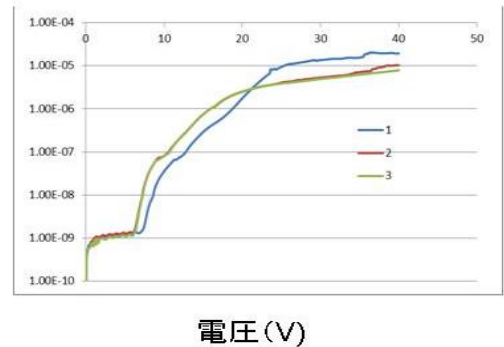


図3 試作したトレンチキャパシタの I-V 特性

2. 実験(Experimental)

【利用した主な装置】

・プラズマ CVD、リアクティブイオンエッチャー、酸化炉、スパッタ、コータ/ディベロッパ、ステッパ、膜厚測定器、ボンディング装置

【実験方法】

図1に本研究で採用したトレンチキャパシタの構造を図1に示す。トレンチキャパシタの試作は、主に北九州学術推進機構の共同開発センターのクリーンルームの装置を使用し、トレンチ形成は福岡県の3次元半導体研究センター、トレンチ内部に埋め込んだ poly-Si への隣拡散は広島大学ナノデバイス・バイオ融合科学研究所で行った。

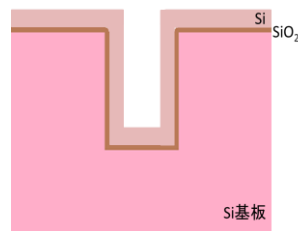


図1 トレンチキャパシタの断面構造

poly-Si を埋め込むことができた

図3に試作したキャパシタの I-V 特性を示す。酸化膜厚は 2nm、キャパシタのサイズは 400 μ m 角である。リーク電流は 10nA/mm² であり、耐圧は 7-8V 程度であった。耐圧は目標値の 50%程度であり、トレンチ底部の形状や参加条件の最適化が必要である。

4. その他・特記事項(Others)

参考文献

- [1] J.W. Kolar, U. Drofenik, J. Biela, M. L. Heldwein, H. Ertl, T. Friedli, S. D. Round, PCC Nagoya, pp.9-29, 2007.
- [2] 例えば <http://pwrsocevents.com>
- [3] K. Hiura, Y. Ikeda, Y. Hino, and S.Matsumoto, Ext.Abs.of 2016 SSDM, PS-14-03, 2016.
- [4] S. Duangchan, U. Uchikawa, U. Koshikawa, A. baba, K. Nakagawa, S.Matsumoto, M.Hasagawa, and S.Nishizawa, Proceedings of ECTC2015, pp.187-192, 2015.

謝辞

本研究の一部は”戦略的省エネルギー技術革新プログラム/省エネルギー技術開発事業の重要技術に係る周辺技術・関連課題の検討”の助成により行われたものである。

5. 論文・学会発表(Publication/Presentation)

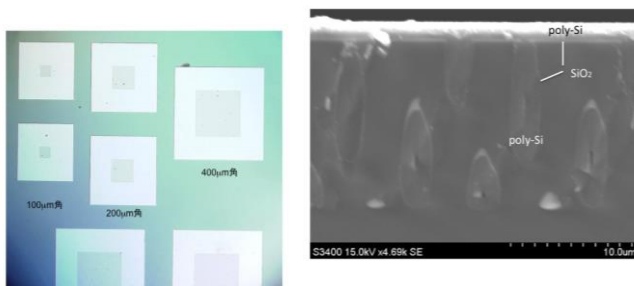
K. Hiura, Y. Ikeda, Y. Hino, and S.Matsumoto, Ext.Abs.of 2016 SSDM, PS-14-03, 2016.

6. 関連特許(Patent)

なし。

3. 結果と考察(Results and Discussion)

試作したトレンチキャパシタの表面写真と断面の SEM 写真を図 2(a), (b)に示す。試作したトレンチキャパシタには一部に“す”の発生はあるもの、トレンチ内部に



(a)

(b)

図2 トレンチキャパシタの(a)表面写真と断面の SEM 写真