

課題番号 : F-18-FA-0022
 利用形態 : 機器利用
 利用課題名(日本語) : ハーフインチ FOWLP の試作開発
 Program Title (English) : Fan-out Wafer Level Package Fabrication with half inch substrate
 利用者名(日本語) : 稲垣雅一, 万波徹, 岩田真典
 Username (English) : Masakazu Inagaki, Toru Mannami, Masanori Iwata
 所属名(日本語) : 株式会社ピーエムティー
 Affiliation (English) : PMT Corporation
 キーワード/Keyword : プラズマアッシング, I-V 特性, FOWLP, 電気計測

1. 概要(Summary)

ハーフインチ基板での Fan-out 型 Wafer Level Package の試作開発とベースラインプロセスの確立を共同研究開発センターの施設を利用して進めている。

2. 実験(Experimental)

【利用した主な装置】

- プラズマ CVD
- 酸化炉
- スピンコータ、両面マスクアライナ
- マニュアルプローバ、デバイスアナライザー

【実験方法】

- 再構成基板作製のためのアライメント基板作製
- プラズマアッシングによる残渣除去
- 再配線形成後導通テスト

3. 結果と考察(Results and Discussion)

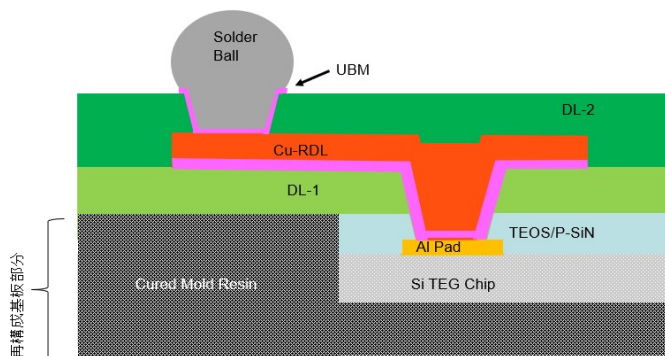


Fig.1 Fan-in Wafer Level Package Cross-section

再構成基板作製時のチップマウントアライメント用基板の作製、再配線工程のアッシング工程、電気特性評価に設備を利用。

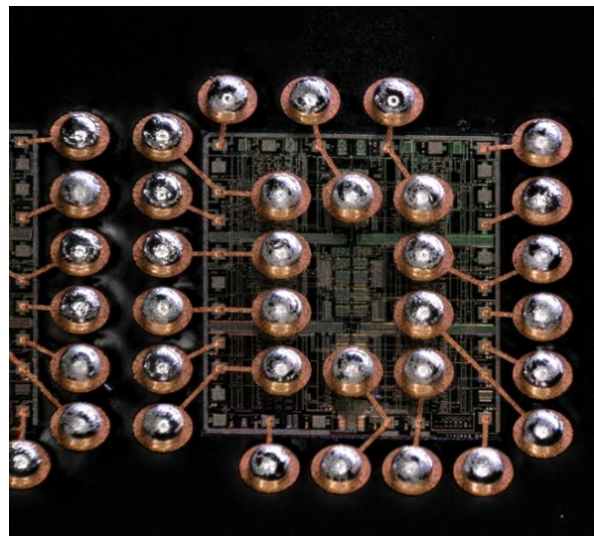


Fig.2 FOWLP(Fan-out Wafer Level Package) 弊社で試作したアナログチップを搭載した FOWLP。ダイシング前のウエハレベルパッケージの状態

4. その他・特記事項(Others)

- ・ Tseng, C. F., Liu, C. S., Wu, C. H., & Yu, D. (2016, May). InFO (wafer level integrated fan-out) technology. In Electronic Components and Technology Conference (ECTC), 2016 IEEE 66th (pp. 1-6). IEEE.
- ・ 岩田真典、第 64 回応用物理学会秋季術講演, 16a-E206-12
- ・ 他の機関の利用: 山口大学 (F-18-YA-0007)

5. 論文・学会発表 (Publication/Presentation)

- ・ ISSM2018 「Development of Half-inch FOWLP Process Line utilizing Minimal Fab」
Kenji Miyake / Masanori Iwata / Toru Mannami

6. 関連特許 (Patent)

なし