

課題番号 : F-19-FA-0016  
 利用形態 : 機器利用  
 利用課題名(日本語) : 3次元パワーSupply on Chip のプロセス技術の開発  
 Program Title(English) : Development of the process technology for 3D power supply on chip  
 利用者名(日本語) : 松本聡 石戸降希  
 Username(English) : S. Matsumoto R. Ishito  
 所属名(日本語) : 九州工業大学大学院工学府  
 Affiliation(English) : Graduate school of Eng., Kyushu Institute of Technology  
 キーワード/Keyword : ナノエレクトロニクス、接合、異種デバイス集積化

### 1. 概要(Summary)

電源の研究開発トレンドは小型化であり[1]、パワーデバイス、これを駆動・制御する回路、負荷であるLSIとインダクタやコンデンサなどのパッシブ部品を1チップに搭載して電源の究極の小型化が実現できるパワーSupply on chip(SoC)が注目を集めている[2]。パワーSoC では数十MHz 以上の高周波スイッチングが要求されており、我々の研究グループでは高周波でのスイッチング特性に優れた GaN パワーデバイスと高機能化が可能な Si デバイスの集積化が可能な3次元パワーSoC[3]を提案した。3次元パワーSoC 実現の一環として、GaN/Si(111)と Si(100)基板を室温で接合し、Si(111)基板を除去するプロセスを開発した。

### 2. 実験(Experimental)

【利用した主な装置】 プラズマ CVD

【実験方法】

Si(100)基板上に CMOS の配線プロセスを想定して北九州学術産業推進機構でプラズマ(p)-CVD(Chemical Vapor Deposition) SiO<sub>2</sub> を堆積した後、NIMS でALD(Atomic Layer Deposition)Al<sub>2</sub>O<sub>3</sub> を p-CVD SiO<sub>2</sub>/Si(100)と GaN/Si(111)上に堆積した。その後、ALD Al<sub>2</sub>O<sub>3</sub>を接合面として SiO<sub>2</sub>/Si(100)と GaN/Si(111)を室温で接着し、Si(111)を研削・研磨のより数十μm程度まで薄層化した。最後に、九州工業大学マイクロ化総合技術センターで Si(111)基板をドライエッチングにより除去し、ダイサーを用いてウェハーのダイシングを行い、断面の SEM 観察を行った

### 3. 結果と考察(Results and Discussion)

ダイサーによりダイシングが正常に行えたことから、十分な接着強度があると考えられる。

Fig. 1に断面のSEM写真を示す。接着面であるALD Al<sub>2</sub>O<sub>3</sub>にはボイド等がみられず、正常に接合できたと考えられる。

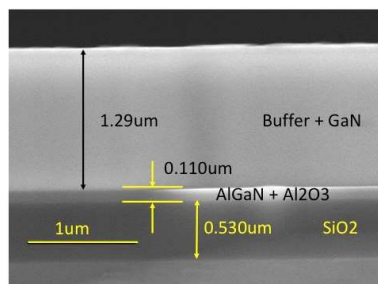


Fig. 1 Cross-sectional SEM image.

### 4. その他・特記事項(Others)

・参考文献:

[1] 大橋弘通、電気学会誌、vol.122、pp.168-171、2002.

[2] 例えば <http://pwrsocevents.com/>

[3] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, JJAP, vol., No.4, 04CR13, 2017.

・共同研究者:九州工業大学マイクロ化総合技術センター 新海聡子

・競争的資金:JSPS 科研費 18H01430

・他の機関利用:物質・材料研究機構(NIMS)

(F-19-NM-0058)

### 5. 論文・学会発表(Publication/Presentation)

(1) R. Ishito, K. Ono, and S. Matsumoto, IEEE CPMT Symposium Japan 2019, ECR session 10, 2019

(2) 横井雅志、小野晃太、石戸降希 新海聡子、松本聡、電気学会電子デバイス・半導体電力変換合同研究会、EDD-19-081, SPC-10-167, 2019.

### 6. 関連特許(Patent)

なし