

課題番号 : F-19-FA-0033
利用形態 : 機器利用
利用課題名(日本語) : CMOS 集積回路要素技術実習
Program Title (English) : CMOS Integrated Circuit technology process seminar
利用者名(日本語) : 嶋田伸也, 鈴木道広, 万歳竜己, 原嘉秀, 七條真衣, 森真悟, 伊崎文哉, 宮城雅史
野村芳克
Username (English) : S. Shimada, M. Suzuki, R. Manzai, Y. Hara, M. Shichijo, S. Mori, F. Izaki,
M. Miyagi, Y. Nomura
所属名(日本語) : 株式会社アソウ・アルファ
Affiliation (English) : ASO Alpha
キーワード/Keyword : リソグラフィ・露光・描画装置, 成膜・膜堆積, 膜加工・エッチング, イオン注入, 測定技術

1. 概要(Summary)

集積回路(IC)の製作はクリーンルームと呼ばれるパーティクル及び温湿度管理された特殊な環境で行われ、一般的に一貫工程で2~4週間ほどの製作期間を要する。本セミナーでは、FAIS 共同研究開発センターのクリーンルーム内微細加工設備による IC 製造プロセスの要素技術及び設計, 組立, 評価技術を実習形式で体験することで, IC 製造に関する理解を深めることを目的とする。

2. 実験(Experimental)

【利用した主な装置】

EDA ツール, ドラフトチャンバー, 超純水製造装置, 酸化炉, プラズマ CVD, スパッタ装置, リアクティブイオンエッチャー, コータ/ディベロッパ, ステツパ, 膜厚測定器, イオン注入装置, デバイスアナライザ, ボンディング装置

【実験方法】

実習形式のセミナーを4日間かけて実施する(2019年11月と2020年2月の2回実施)。1日目にEDAツールを用い, シミュレーション・回路設計・レイアウト設計技術について学ぶ。2日目に成膜・膜堆積技術実習として, 酸化炉・プラズマ CVD により同膜厚の酸化膜を形成, 当該酸化膜上へスパッタ装置によりAl 薄膜堆積を行う。3日目にリソグラフィ技術としてコータ/ディベロッパでのフォトリジスト塗布, ステツパでの露光, BHF による酸化膜エッチング, リン酸による Al エッチング, リアクティブイオンエッチャーによるレジストアッシングを行う。また, ドーピング技術として, イオン注入装置を用いた実習を実施する。4日目に電気特性測定技術として, デバイスアナライザによるトランジスタ特性, インバータ特性等の実測定を実施する。また, 後工程実習として, ダイシング技術, ボンディング技術を実施する。

3. 結果と考察(Results and Discussion)

4 日間の実習において, CMOS 製造プロセスの要素技術を抽出し, それぞれ関連性を持たせることで, 効率的かつ効果的に CMOS 製造プロセスを理解することができた。例えば酸化膜形成に関しては熱酸化とプラズマ CVD による同膜厚形成に掛かる温度帯や必要時間の違い, エッチング時に BHF に浸漬させたときのエッチングレートの違いを確認することで膜質の違いをはっきりと確認することができた。イオン注入技術においては注入原理のみならず, 装置の構造を実際に装置メンテナンスすることで理解を深めることができた。また, 電気特性測定においては, 設計実習により得たシミュレーション結果と, 実際の CMOS デバイスの測定結果を比較することにより, 設計と製造条件との関連性を理解することができた。



Fig 1. CMOS Integrated Circuit process seminar scenery

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent) なし